

PAT-NO: JP410112468A  
DOCUMENT-IDENTIFIER: JP 10112468 A  
TITLE: MANUFACTURE OF CHIP-TYPE SEMICONDUCTOR DEVICE  
PUBN-DATE: April 28, 1998

INVENTOR-INFORMATION:

NAME  
MIZUNO, HIDEKI  
TOKUNAGA, KAZUNAO

ASSIGNEE-INFORMATION:

NAME NEC CORP	COUNTRY N/A
------------------	----------------

APPL-NO: JP09125408

APPL-DATE: May 15, 1997

INT-CL (IPC): H01L021/56, H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the productivity by making it easy to approximate the size of the external form of a chip component to the size of a semiconductor element, and also, raising the speed of mounting the semiconductor element on a main board.

SOLUTION: The metallic bumps of a semiconductor element 2 and the electrode pattern of an insulating substrate 5 are joined with each other, being stuck to the surface of the insulating substrate 5 where the electrode pattern is printed, after formation of metallic bumps on the electrodes of many semiconductor elements 2 made on the surface of a semiconductor wafer 1. The insulating substrate 5 is of the same size and shape as the semiconductor wafer 1. Next, only the semiconductor wafer 1 is cut and divided into the size of semiconductor elements 2'. Next, liquid-form resin 10 for sealing is let flow to cover the semiconductor element 2' divided by dicing grooves 9, and the resin 10 is hardened, and then the resin 10 is cut into individual components, together with the insulating substrate 5.

COPYRIGHT: (C)1998, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-112468

(43)公開日 平成10年(1998)4月28日

(51)Int.Cl.<sup>6</sup>

H 01 L 21/56

識別記号

23/12

F I

H 01 L 21/56

23/12

R

E

L

審査請求 有 請求項の数10 O.L (全 8 頁)

(21)出願番号

特願平9-125408

(22)出願日

平成9年(1997)5月15日

(31)優先権主張番号 特願平8-211073

(32)優先日 平8(1996)8月9日

(33)優先権主張国 日本 (JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者

水野 秀樹

東京都港区芝5丁目7番1号 日本電気株

式会社内

(72)発明者

徳永 一直

東京都港区芝5丁目7番1号 日本電気株

式会社内

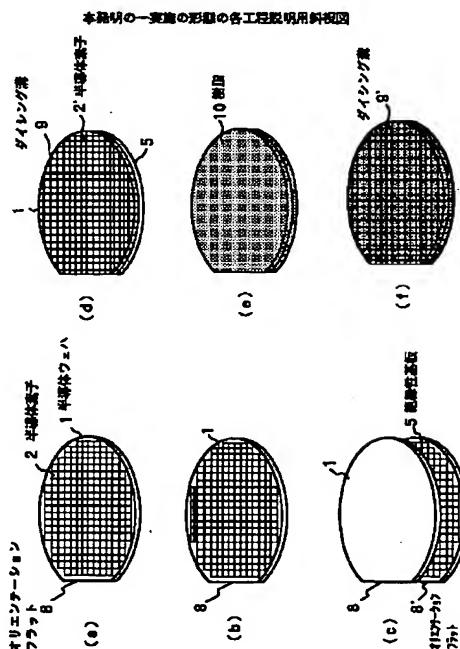
(74)代理人 弁理士 松浦 兼行

(54)【発明の名称】 チップ型半導体装置の製造方法

(57)【要約】

【課題】 従来は、チップ型部品の外形の大きさを半導体素子の大きさに近付けることは非常に困難であり、また、半導体素子を親基板に搭載する速度が遅く、著しい生産性向上が望めない。

【解決手段】 半導体ウェハ1の表面に形成された多数の半導体素子2の電極の上にメタルバンプを形成した後、電極パターンが印刷された絶縁性基板5の表面に貼り合わせ、半導体素子2のメタルバンプと絶縁性基板5の電極パターンを接合する。絶縁性基板5は半導体ウェハ1と同じ大きさ、形状をしている。次に、半導体ウェハ1のみを半導体素子2'の大きさに切断区分する。次に、ダイシング溝9で区分された半導体素子2'を被うように封止用の液状の樹脂10を流し込んで樹脂10を硬化させた後、樹脂10と共に個々の部品に分離するように切断する。



## 【特許請求の範囲】

【請求項1】 表面の既知の位置に複数の半導体素子が形成された半導体ウェハの該半導体素子の電極にメタルバンプを形成する第1の工程と、表面の既知の位置に電極パターンが形成された絶縁性基板の該電極パターン側と前記半導体ウェハの半導体素子形成面側とを貼り合わせて、該電極パターンと前記メタルバンプとを接合する第2の工程と、前記第2の工程により貼り合わされた前記半導体ウェハ及び絶縁性基板のうち、該半導体ウェハのみを前記半導体素子個々の大きさに切断区分する第3の工程と、前記半導体ウェハを切断区分する溝と前記半導体ウェハ上に液状樹脂を流し込んで硬化させる第4の工程と、硬化した前記樹脂と前記絶縁性基板を同時に切断し、それぞれ前記半導体素子を有する個々の半導体装置に分離する第5の工程とを含むことを特徴とするチップ型半導体装置の製造方法。

【請求項2】 前記絶縁性基板の形状及び大きさは、前記半導体ウェハの形状及び大きさと同一であることを特徴とする請求項1記載のチップ型半導体装置の製造方法。

【請求項3】 前記絶縁性基板の電極パターンは、前記半導体素子の前記半導体ウェハ上での電極の位置座標データを用いて決定した位置に形成することを特徴とする請求項1又は2記載のチップ型半導体装置の製造方法。

【請求項4】 前記第3の工程は、前記半導体素子の前記半導体ウェハ上での位置座標データを用いて切断区分位置を決定して前記半導体ウェハのみを切断区分することを特徴とする請求項1記載のチップ型半導体装置の製造方法。

【請求項5】 前記第3の工程における切断区分の切断溝幅は、前記第5の工程における切断溝幅より広いことを特徴とする請求項1記載のチップ型半導体装置の製造方法。

【請求項6】 表面の既知の位置に電極パターンを有する複数の半導体素子が形成された半導体ウェハの、該半導体素子形成面と反対側の面に第1の樹脂を硬化させる第1の工程と、

硬化した前記第1の樹脂を有する前記半導体ウェハの前記半導体素子形成面に絶縁性基板を貼り合わせる第2の工程と、

前記絶縁性基板に前記半導体ウェハの電極パターンの一部を露出させるバイアホールと切断認識パターンを形成する第3の工程と、

前記バイアホールを介して前記電極パターンと接続するメタルバンプ形成する第4の工程と、

前記切断認識パターンを利用して、前記半導体素子個々の大きさに前記半導体ウェハ及び絶縁性基板とを同時に切断除去する第5の工程と、

前記第5の工程により切断除去された領域に、第2の樹

脂を埋め込み硬化させる第6の工程と、

硬化した前記第2の樹脂を硬化している前記第1の樹脂と共に切断し、それぞれ前記半導体素子を有する個々の半導体装置に分離する第7の工程とを含むことを特徴とするチップ型半導体装置の製造方法。

【請求項7】 前記絶縁性基板は、電極パターンが形成されていないことを特徴とする請求項6記載のチップ型半導体装置の製造方法。

【請求項8】 前記第7の工程で分離製造された半導体装置の前記半導体素子の切断面と前記絶縁性基板の切断面とは、前記第6の工程で硬化した前記第2の樹脂でそれぞれ保護されていることを特徴とする請求項6記載のチップ型半導体装置の製造方法。

【請求項9】 前記第7の工程で分離製造された半導体装置の前記メタルバンプに、リード電極を接続する第8の工程を更に含むことを特徴とする請求項6記載のチップ型半導体装置の製造方法。

【請求項10】 前記第1及び第2の樹脂は、それぞれ同一材料の液状樹脂であることを特徴とする請求項6乃至9のうちいずれか一項記載のチップ型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はチップ型半導体装置の製造方法に係り、特に半導体素子を内蔵したチップ型半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 従来より、半導体素子を内蔵したチップ型半導体装置の製造方法として、複数個の素子に一度にキャップを被せることができるようにしたチップ型半導体装置の製造方法が知られている（特開平4-148553号公報）。この従来の製造方法では、図6に示すように、複数個の基板を含む親基板24の上面と下面のそれぞれに複数の上面電極及び下面電極を設け、上面電極と下面電極をつなげるために貫通孔25を設け、スルーホール26により導通させ、更に隣り合うスルーホール26の間の親基板24の上に素子27をそれぞれ搭載して素子27のそれぞれと上面電極とをワイヤ28により電気的に接続する。

【0003】 次に、図7に示すように、下面に凹所32が形成された封止用親蓋31を素子27の上から親基板24の上に固定して各素子27を凹所32内に封入させる。この後、図7のC-C線に沿って親基板24及び封止用親蓋31を各素子27毎にそれぞれ切り離し、図8に示すようなチップ型部品41を複数個製造する。

## 【0004】

【発明が解決しようとする課題】 しかるに、上記の従来方法では、親基板24上に複数の半導体素子27を搭載し、凹所32のある封止用親蓋31で半導体素子27を封止するため、半導体素子27の搭載精度及び半導体素

子27と親基板24との配線材を考慮すると、封止用親蓋31の凹所32の空間は半導体素子27の大きさに200μm程度加えたものとなり、チップ型部品41の外形の大きさを半導体素子27の大きさに近付けることは非常に困難である。

【0005】また、素子27を親基板24に搭載する速度は、速くとも0.6秒/個であり、著しい搭載速度の高速化は望めないため、チップ型部品41の生産性がこの素子搭載速度に律速され、著しい生産性向上が望めないという問題がある。

【0006】本発明は以上の点に鑑みなされたもので、小型なチップ型半導体装置を製造し得るチップ型半導体装置の製造方法を提供することを目的とする。

【0007】また、本発明の他の目的は、単位時間当りの生産能力を向上したチップ型半導体装置の製造方法を提供することにある。

【0008】更に、本発明の他の目的は、生産性及び歩留りを向上させたチップ型半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記の目的を達成するため、請求項1記載の発明は、表面の既知の位置に複数の半導体素子が形成された半導体ウェハの半導体素子の電極にメタルバンプを形成する第1の工程と、表面の既知の位置に電極パターンが形成された絶縁性基板の電極パターン側と半導体ウェハの半導体素子形成面側とを貼り合わせて、電極パターンとメタルバンプとを接合する第2の工程と、第2の工程により貼り合わされた半導体ウェハ及び絶縁性基板のうち、半導体ウェハのみを半導体素子個々の大きさに切断区分する第3の工程と、半導体ウェハを切断区分する溝と半導体ウェハ上に液状樹脂を流し込んで硬化させる第4の工程と、硬化した樹脂と絶縁性基板を同時に切断し、それぞれ半導体素子を有する個々の半導体装置に分離する第5の工程とを含むようにしたものである。

【0010】本発明では、半導体ウェハの複数の半導体素子が形成された面を電極パターンが形成されている絶縁性基板に貼り付け、半導体素子のメタルバンプと絶縁性基板の電極パターンとを接合しているため、個々の半導体素子を基板に搭載する工程を不要にできる。

【0011】また、本発明では、複数の半導体素子が形成された半導体ウェハのままで絶縁性基板に貼り合わせ、半導体素子のメタルバンプと絶縁性基板の電極パターンを接合するようにしているため、絶縁性基板上の半導体素子個々の搭載精度ばらつきもなく、封止樹脂の薄い均一の層で半導体素子を封止できる。

【0012】また、絶縁性基板の形状及び大きさは、半導体ウェハの形状及び大きさと同一であり、絶縁性基板の電極パターンは、半導体素子の半導体ウェハ上での電極の位置座標データを用いて決定した位置に形成するよ

うにしたため、半導体素子のメタルバンプと絶縁性基板の電極パターンとの位置決めが容易にできる。

【0013】また、上記の目的を達成するため、請求項6記載の発明は、表面の既知の位置に電極パターンを有する複数の半導体素子が形成された半導体ウェハの、半導体素子形成面と反対側の面に第1の樹脂を硬化させる第1の工程と、硬化した第1の樹脂を有する半導体ウェハの半導体素子形成面に絶縁性基板を貼り合わせる第2の工程と、絶縁性基板に半導体ウェハの電極パターンの一部を露出させるバイアホールと切断認識パターンを形成する第3の工程と、バイアホールを介して電極パターンと接続するメタルバンプ形成する第4の工程と、切断認識パターンを利用して、半導体素子個々の大きさに半導体ウェハ及び絶縁性基板とを同時に切断除去する第5の工程と、第5の工程により切断除去された領域に、第2の樹脂を埋め込み硬化させる第6の工程と、硬化した第2の樹脂を硬化している第1の樹脂と共に切断し、それぞれ半導体素子を有する個々の半導体装置に分離する第7の工程とを含むようにしたものである。

10 20 【0014】本発明では、絶縁性基板に切断認識パターンを形成し、この切断認識パターンを利用して、半導体素子個々の大きさに半導体ウェハ及び絶縁性基板の両方を同時に切断除去する。

【0015】ここで、本発明で用いる絶縁性基板は、電極パターンが形成されておらず、また、第7の工程で分離製造された半導体装置の半導体素子の切断面と絶縁性基板の切断面とは、第6の工程で硬化した第2の樹脂でそれぞれ保護されている。更に、第1及び第2の樹脂は、それぞれ同一材料の液状樹脂である。また、本発明30は第7の工程で分離製造された半導体装置のメタルバンプに、リード電極を接続する第8の工程を更に含んでもよい。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明になるチップ型半導体装置の製造方法の一実施の形態の各工程説明用斜視図、図2は図1の補足説明図を示す。この実施の形態では、まず、図1(a)に示すように、表面に多数の半導体素子2が形成された半導体ウェハ1を用意する。この半導体素子2には図2(a)に示すように電極3が形成されている。次に、この半導体素子2の電極3の上に図1(b)及び図2(b)に示すように、メタルバンプ4を形成する。メタルバンプ4は、通常は金ワイヤによるボールバンプ法や半田バンプを印刷する方法にて形成するが、他の方法でメタルバンプを形成してもよい。

40 50 【0017】次に、図1(c)に示すように、電極パターンが印刷された絶縁性基板5を半導体ウェハ1の表面に貼り合わせ、半導体素子2のメタルバンプ4と絶縁性基板5の電極パターンを接合する。図2(c)は絶縁性基板5の一例の拡大図である。この例の場合、絶縁性基

板5に溝7が形成され、電極パターン6が溝7の側面を通してメタライズされ、絶縁性基板5の裏面(図示せず)に達するようになされている。なお、電極パターン6はスルーホールを利用して形成してもよい。

【0018】ここで、半導体素子2のメタルバンプ4と絶縁性基板5の電極パターン6とが精度良く重なるようになるため、半導体素子2の電極3の半導体ウェハ1上での位置座標データを基にして、絶縁性基板5の電極パターン6の位置が決定されて電極パターン6が形成されている。

【0019】また、絶縁性基板5は半導体ウェハ1と同じ大きさ、形状をしており、半導体ウェハ1に設けられた半導体製造プロセスで位置決めに用いるオリエンテーションフラット8と同じオリエンテーションフラット8'が絶縁性基板5に設けられている。

【0020】このため、電極パターン6を形成する際、印刷技術を用いるが、半導体ウェハ1側の電極3と同じ位置に電極パターン6を形成することができる。従って、半導体ウェハ1と絶縁性基板5を貼り合わせるときの位置決めは、オリエンテーションフラット8、8'と各外周部を一致させるだけでよい。貼り合わせのときの接着は、メタルバンプ4と電極パターン6以外の数個所を絶縁性の接着剤で行う。

【0021】図1(d)に示すように、半導体ウェハ1と絶縁性基板5を上記のように貼り合わせた後、半導体ウェハ1のみを半導体素子2'の大きさに切断する。すなわち、オリエンテーションフラット8と外周で位置決めされた半導体ウェハ1のみを、半導体素子2の位置座標データを用いて切断位置を決めて切断していく。切断にはダイシングソーを用いるが、ダイシング溝9の溝幅(切断幅)は広め(約60μm)にとる。

【0022】次に、図1(e)に示すように、ダイシング溝9で区分された半導体素子2'を被うように封止用の液状の樹脂10を流し込んで樹脂10を硬化させる。この樹脂10には、熱硬化プロセスあるいは光硬化プロセスで硬化するものを用いる。

【0023】次に、図1(f)に示すように、樹脂10を絶縁性基板5と共に個々の部品に分離するように切断する。このときのダイシング溝9'の溝幅は図1(d)に示したダイシング溝9の溝幅よりも細く(例えば約20μm)なるようにする。

【0024】このようにして切断された個々の部品のそれぞれは、図3の一部切截斜視図に示すように、樹脂10による外側面がダイシング溝9'による切断面11であり、切断された絶縁性基板5'上に半導体素子2が搭載されたチップ型半導体装置12を構成する。また、半導体素子2の外側面はダイシング溝9により定められる。

【0025】本実施の形態によれば、複数の半導体素子2が搭載された半導体ウェハ1を、電極パターン6が形

成された絶縁性基板5と貼り合わせることにより、半導体素子個々の搭載位置バラツキがなくなり、また、薄い均一の樹脂10で半導体素子を封止してから個々の大きさに切断するため、チップ型半導体装置12の大きさを、図3に示すように半導体素子2の大きさに極めて近付けることができる。

【0026】また、一括して半導体素子2を半導体ウェハ1上に搭載しているため、半導体素子1個当たりの生産性も著しく向上する。例えば、直径125mmの半導体ウェハのトランジスタの場合、約70000個の素子が貼り合わせに5分かかったと仮定しても、0.004秒/個となり、半導体素子個々を搭載する場合の150倍も生産性が向上することになる。

【0027】ところで、上記の実施の形態では、絶縁性基板5として、半導体ウェハ1と同一形状、大きさで、かつ、半導体素子2のメタルバンプ4と重なるように表面に電極パターンが印刷されたものを使用するために、汎用性があまりなく量産効果を十分に出しにくい。

【0028】また、半導体素子2の電極3の半導体ウェハ1上での位置座標データを基にして、絶縁性基板5の電極パターン6の位置が決定されて切断区分位置が決定されるが、半導体ウェハ1上の位置座標データを読み取るには絶縁性基板5を透過させて読み取らねばならず、透過の際のデータ認識ずれ(屈折率など)により切断位置を誤る可能性がある。

【0029】更に、図1(d)に示した工程で、半導体ウェハ1と絶縁性基板5を貼り合わせた状態で、半導体ウェハ1のみを半導体素子2'の大きさに切断するが、半導体ウェハ1と絶縁性基板5の距離が近接しているために、半導体ウェハ1のチップ欠けなどの切断不良が発生する可能性がある。

【0030】そこで、上記の問題点を解決した本発明の他の実施の形態について、以下説明する。図4は本発明になるチップ型半導体装置の製造方法の他の実施の形態の各工程説明用断面図を示す。

【0031】まず、図4(a)に示すように、半導体素子15が形成された半導体ウェハ14(前記の半導体素子2が形成された半導体ウェハ1に相当)の裏面に液状樹脂17を硬化させ、半導体素子15の電極パターン16が形成された面(半導体ウェハ14の表面)と絶縁性基板18を貼り合わせる。この絶縁性基板18は、上記の実施の形態の絶縁性基板5と異なり、電極パターンは形成されていない。

【0032】次に、図4(a)の絶縁性基板18の表面上にフォトレジストを塗布し、フォトレジストに印刷パターンを形成した後、このフォトレジストをマスクにして図4(b)に示すように、絶縁性基板18にバイアホール19及び切断認識パターン20をエッチングにより形成し、その後フォトレジストを除去する。ここで、バイアホール19の形成により、電極パターン16の一部

が露出されることとなる。なお、図4 (a) のフォトレジスト13は不具合に形成された場合のフォトレジストで、これについては後述する。

【0033】次に、図4 (c) に示すように、外部素子と接続するためのメタルバンプ21を、バイアホール19を介して電極パターン16上に形成し、半導体素子15と外部素子とが接続できるようとする。

【0034】続いて、図4 (d) に示すように、切断認識パターン20を利用して、半導体素子15個々の大きさが残るように、半導体ウェハ14及び絶縁性基板18の両方を同時に切断除去する。これにより、切断領域22を介して硬化樹脂17が露出する。この切断時（ダイシング時）には、絶縁性基板18に形成されている切断認識パターン20を直接認識できるので、切断位置を正確に定めることができ、自動認識切断装置の作業においても誤認識することはない。

【0035】なお、図4 (d) では切断認識パターン20は切断領域22に位置しているため、切断により消滅しているが、切断認識パターン20を半導体素子15の中の絶縁性基板18に形成して残してもよい。

【0036】次に、図4 (e) に示すように、切断領域22の内部を埋め尽くすように、露出した硬化樹脂17上及び半導体素子15、絶縁性基板18の側面に液状の樹脂17'を流し込んだ後硬化させる。この際、樹脂17と17'は密着する。なお、図4 (e) に示すように、液状の樹脂17'を流し込んで、半導体ウェハ14と絶縁性基板18の間隙（電極パターン16の高さ相当）は極めて小であるので、電極パターン16の側面にまで樹脂17'が到達することはない。

【0037】最後に、図4 (f) に示すように、硬化している樹脂17及び17'を同時に切断し、半導体素子15を分離し、チップ型半導体装置を得る。従って、この実施の形態のチップ型半導体装置の大きさも、半導体素子15の大きさに極めて近付けることができる。なお、図4 (f) に示す切断幅は、図4 (d) に示した切断幅よりも狭いこととし、結果として切断領域22の半導体素子15と絶縁性基板18の側面には、図4 (f) に示すように樹脂17'が形成されて残る。

【0038】この実施の形態では、図4 (b) のバイアホール19形成の際の電極パターン16との位置合わせは、半導体ウェハ14に予め形成された位置合わせ認識パターンを利用するが、絶縁性基板18を透過して位置合わせ認識パターンを読み取るには、赤外線透過顕微鏡を使って目視で合っているかを確認する。このとき、図4 (a) に示すように、バイアホール19形成のためのフォトレジスト13の開口位置が、絶縁性基板18の屈折率や他の原因により、実際の電極パターン16の位置に対して矢印Xで示すようにずれことがある。

【0039】フォトレジスト13の印刷パターンできさえチェックにより、上記の位置ずれを検出した場合は、

そのフォトレジスト13を有機溶剤、O<sub>2</sub>プラズマアッシュ等により全面除去し、再度バーニングしたフォトレジストを絶縁性基板18上に形成する。この再処理により、バイアホール19形成の際の電極パターン16との位置合わせを正確に行える。

【0040】なお、このようにして製造されたチップ型半導体装置に対して、例えば図5に示すように、メタルバンプ21にリード電極23を接続する工程を更に付加することも可能である。

10 【0041】

【実施例】次に、本発明の実施例について図4を参照して説明する。図4 (a) に示すように、半導体ウェハ14は厚さ100μm程度のGaAsからなり、その裏面に液状の樹脂18を塗布し硬化させる。絶縁性基板18は、厚さ100μm程度の高抵抗GaAs基板であり、半導体ウェハ14との接着にはポリイミドやフォトレジストを使用する。

【0042】次に、図4 (b) に示すように、半導体ウェハ14上の80μm角の電極パターン16の内側に位置するように、40μm角のバイアホール19を絶縁性基板18に形成する。バイアホール19の形成においては、GaAsドライエッティング技術を使用し、そのバーニングにはフォトレジスト技術を利用する。フォトレジスト技術により絶縁性基板18の上に形成されたバイアホールパターンと電極パターン16との位置合わせは、双方を透過する赤外線を利用して確認し、位置ずれがあれば、再処理を行い、不良発生を未然に防ぐことができる。このバイアホール形成において同時に切断認識パターンも形成しておく。

20 【0043】次に、図4 (c) に示すように、バイアホール19により露出した電極パターン16上にメタルバンプ21を形成し、外部素子と半導体素子15との接続機能を持たせる。

【0044】次に、図4 (d) に示すように、切断認識パターン20を利用して半導体素子15の大きさに150μm幅でダイシングにより切断する。次に、図4 (e) に示すように、150μm幅の切断領域22に樹脂17と同一材料の液状の樹脂17'を流し込み硬化させる。次に、図4 (f) に示すように、30μm幅で樹脂17'の中央を切断し、半導体素子15を分離する。

40 【0045】

【発明の効果】以上説明したように、本発明によれば、複数の半導体素子が形成された半導体ウェハのままで絶縁性基板に貼り合わせ、半導体素子のメタルバンプと絶縁性基板の電極パターンを接合することにより、絶縁性基板上の半導体素子個々の搭載精度ばらつきもなく、封止樹脂の薄い均一の層で半導体素子を封止できるため、チップ型半導体装置の大きさを半導体素子の大きさに極めて近い大きさにまで小型化できる。

50 【0046】また、本発明によれば、半導体ウェハの複

数の半導体素子が形成された面を電極パターンが形成されている絶縁性基板に貼り付け、半導体素子のメタルバンプと絶縁性基板の電極パターンとを接合することにより、個々の半導体素子を基板に搭載する工程を不要にでき、半導体素子搭載の生産性を著しく向上でき、このことからチップ型半導体装置の生産性も著しく向上することができる。

【0047】また、本発明によれば、絶縁性基板の形状及び大きさは、半導体ウェハの形状及び大きさと同一であり、絶縁性基板の電極パターンは、半導体素子の半導体ウェハ上での電極の位置座標データを用いて決定した位置に形成することで、半導体素子のメタルバンプと絶縁性基板の電極パターンとの位置決めを容易にできるようしたため、チップ型半導体装置の生産性や信頼性を向上することができる。

【0048】更に、本発明によれば、絶縁性基板に切断認識パターンを形成し、この切断認識パターンを利用して、半導体素子個々の大きさに半導体ウェハ及び絶縁性基板の両方を同時に切断除去することにより、切断認識パターンを直接認識できるため、ダイシング時の切断位置を正確にでき、これにより歩留りを向上できる。また、半導体ウェハと絶縁性基板とを同時に切断しているため、ダイシング時にチップ欠け等の不良が発生しないようできる。

【0049】更に、本発明で用いる絶縁性基板は、何らパターンを有しない絶縁性基板を用いるようにしたため、半導体素子の電極パターンの異なる半導体ウェハにも、同一の絶縁性基板を利用でき、絶縁性基板に汎用性をもたせることができ、量産効果を得ることができる。また、更に、第1及び第2の樹脂は、それぞれ同一材料の液状樹脂であるため、密着性に優れ、半導体素子及び絶縁性基板を十分に保護できる。

【図面の簡単な説明】

【図1】本発明製造方法の一実施の形態の各工程説明用

斜視図である。

【図2】図1の補足説明図である。

【図3】図1の製造方法により製造されたチップ型半導体装置の一部切戻斜視図である。

【図4】本発明製造方法の他の実施の形態の各工程説明用断面図である。

【図5】本発明製造方法により製造されたチップ型半導体装置の他の例の断面図である。

【図6】従来の製造方法の一例の第1の工程の装置断面図である。

【図7】従来の製造方法の一例の第2の工程の装置断面図である。

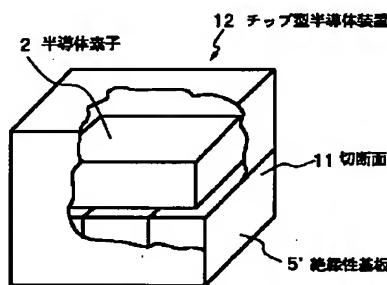
【図8】図6及び図7の製造方法で製造されたチップ型部品の一例の斜視図である。

【符号の説明】

- 1、14 半導体ウェハ
- 2、15 半導体素子
- 3 電極
- 4、21 メタルバンプ
- 5、18 絶縁性基板
- 5' 切断後の絶縁性基板
- 6、16 電極パターン
- 7 溝
- 8、8' オリエンテーションフラット
- 9、9' ダイシング溝
- 10、17、17' 樹脂
- 11 切断面
- 12 チップ型半導体装置
- 13 フォトレジスト
- 19 バイアホール
- 20 切断認識パターン
- 22 切断領域
- 23 リード電極

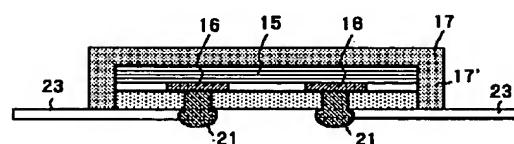
【図3】

図1の製造方法により製造されたチップ型半導体装置の一部切戻斜視図

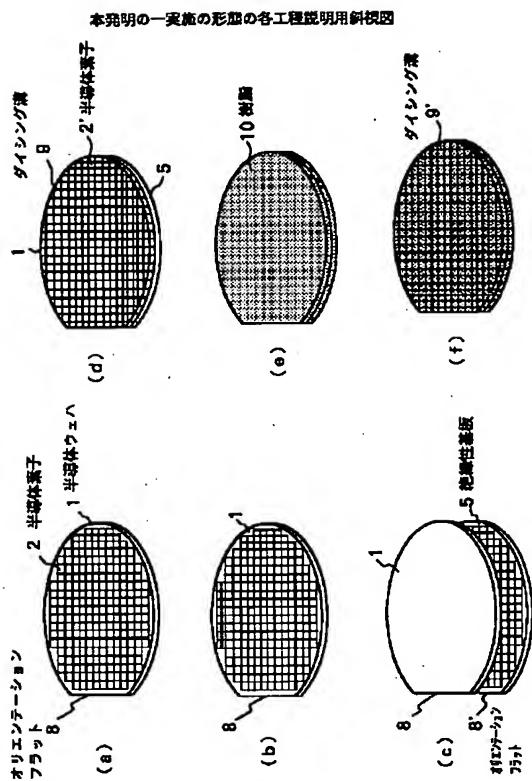


【図5】

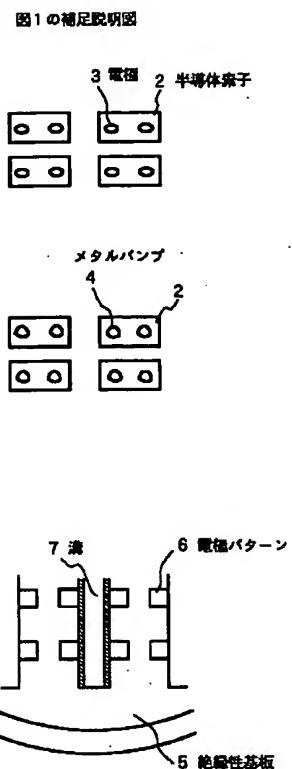
本発明方法の他の例の断面図



【図1】

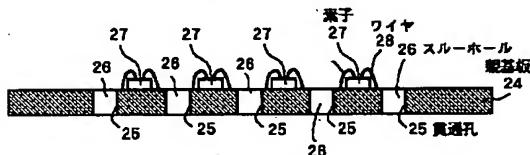


【図2】



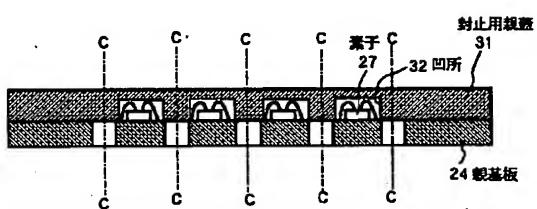
【図6】

従来方法の一例の第1の工程の装置断面図



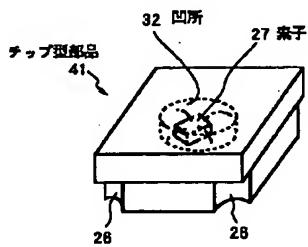
【図7】

従来方法の一例の第2の工程の装置断面図



【図8】

従来方法により製造されたチップ型部品の一例の斜視図



【図4】

